

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-7002

(43)公開日 平成5年(1993)1月14日

(51)Int.Cl.<sup>5</sup>

H01L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

9168-4M

H01L 29/78

321 V

審査請求 未請求 請求項の数9(全19頁)

(21)出願番号 特願平3-156370

(22)出願日 平成3年(1991)6月27日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 高橋 英樹

福岡県福岡市西区今宿東一丁目1番1号

三菱電機株式会社福岡製作所内

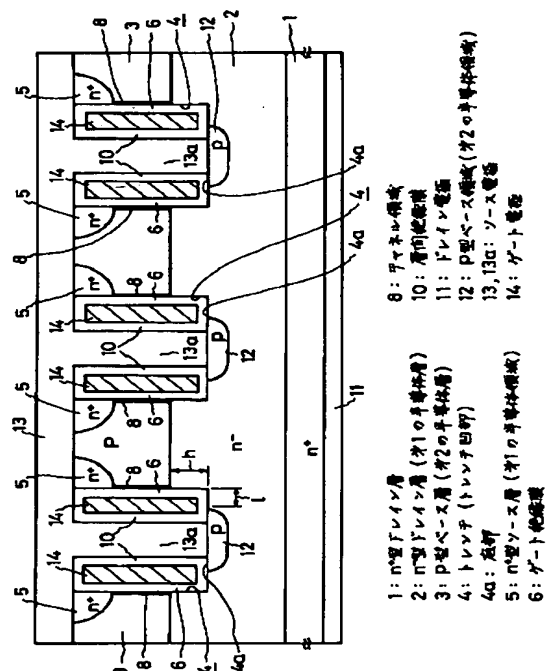
(74)代理人 弁理士 高田 守 (外1名)

(54)【発明の名称】 絶縁ゲート型トランジスタ

(57)【要約】

【目的】 UMOSでのトレンチ構造の降伏電圧に対する素子耐圧の低下を防止し、かつ寄生トランジスタによる素子破壊を生じ難くする。

【構成】 n<sup>-</sup>型ドレイン層2、p型ベース層3を用い、p型ベース層3の表面からn<sup>-</sup>型ドレイン層2内にトレンチ凹部4を掘り込み、p型ベース層3のトレンチ凹部4に接する表面部にn<sup>+</sup>型ソース層5を形成させ、トレンチ凹部4内の底部にp型ベース層12(あるいはショットキーダイオード17)を形成させ、トレンチ凹部4内の両内側壁面にゲート絶縁膜6を介して各ゲート電極14を形成した上で、ソース電極13によってp型ベース層3、n<sup>+</sup>型ソース層5、p型ベース層12(あるいはショットキーダイオード17)を短絡して構成する。



1

## 【特許請求の範囲】

【請求項 1】 第 1 導電型の第 1 の半導体層、および当該第 1 の半導体層の表面上に形成させた第 2 導電型の第 2 の半導体層と、前記第 2 の半導体層の表面上から、前記第 1 の半導体層内に達するまで選択的に掘り込んだ複数の各トレンチ凹部と、前記第 2 の半導体層の各トレンチ凹部に接する表面部に選択的に形成させた第 1 導電型の第 1 の半導体領域と、前記各トレンチ凹部の底部に選択的に形成させた第 2 導電型の第 2 の半導体領域と、前記各トレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆させて、前記第 2 の半導体領域の端部に重なるように形成させた個々の各ゲート電極と、前記第 2 の半導体層、第 1 の半導体領域、および第 2 の半導体領域の相互間を短絡して形成させたソース電極と、前記第 1 の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とする絶縁ゲート型トランジスタ。

【請求項 2】 第 1 導電型の第 1 の半導体層、および当該第 1 の半導体層の表面上に形成させた第 2 導電型の第 2 の半導体層と、前記第 2 の半導体層の表面上から、前記第 1 の半導体層内に達するまで選択的に掘り込んだ複数の各トレンチ凹部と、前記第 2 の半導体層の各トレンチ凹部に接する表面部に選択的に形成させた第 1 導電型の第 1 の半導体領域と、前記各トレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆して形成させた個々の各ゲート電極と、前記各ゲート電極を被覆する層間絶縁膜間でのトレンチ凹部の底部に設けたショットキーダイオードと、前記第 2 の半導体層、第 1 の半導体領域、および

【請求項 3】 第 1 導電型の第 1 の半導体層、および当該第 1 の半導体層の表面上に形成させた第 2 導電型の第 2 の半導体層と、前記第 2 の半導体層の表面上から、前記第 1 の半導体層内に達するまで選択的に掘り込んだ複数の各トレンチ凹部と、前記各トレンチ凹部間での第 2 の半導体層上に形成させた第 1 導電型の第 3 の半導体領域と、前記各トレンチ凹部の底部に選択的に形成させた第 2 導電型の第 2 の半導体領域と、前記各トレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆させて、前記第 2 の半導体領域の端部に重なるように形成させた個々の各ゲート電極と、前記第 3 の半導体領域、および第 2 の半導体領域の相互間を短絡して形成させたソース電極と、前記第 1 の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とする絶縁ゲート型トランジスタ。

2

【請求項 4】 第 1 導電型の第 1 の半導体層、および当該第 1 の半導体層の表面上に形成させた第 2 導電型の第 2 の半導体層と、前記第 2 の半導体層の表面上から、前記第 1 の半導体層内に達するまで選択的に掘り込んだ複数の各トレンチ凹部と、前記各トレンチ凹部間での第 2 の半導体層上に形成させた第 1 導電型の第 3 の半導体領域と、前記各トレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆して形成させた個々の各ゲート電極と、前記各ゲート電極を被覆する層間絶縁膜間でのトレンチ凹部の底部に設けたショットキーダイオードと、前記第 3 の半導体領域、およびショットキーダイオードの相互間を短絡して形成させたソース電極と、前記第 1 の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とする絶縁ゲート型トランジスタ。

【請求項 5】 第 1 導電型の第 1 の半導体層、および当該第 1 の半導体層の表面上に形成された第 2 導電型の第 2 の半導体層と、前記第 2 の半導体層の表面上から、前記第 1 の半導体層内に達するまで選択的に掘り込むと共に、掘り込んだ底部に選択的に第 2 の半導体領域を形成させた複数の各トレンチ凹部と、前記第 2 の半導体層の各トレンチ凹部に接する表面部に選択的に形成された第 1 導電型の第 1 の半導体領域と、前記各トレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ上部、下部を層間絶縁膜により被覆して形成させたゲート電極と、前記第 2 の半導体層、および第 1 の半導体領域の相互間を短絡して形成させたソース電極と、前記第 1 の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とする絶縁ゲート型トランジスタ。

【請求項 6】 第 1 導電型の第 1 の半導体層、および当該第 1 の半導体層の表面上に形成された第 2 導電型の第 2 の半導体層と、前記第 2 の半導体層の表面上から、前記第 1 の半導体層内に達して選択的に掘り込まれた複数の各トレンチ凹部と、前記第 2 の半導体層の各トレンチ凹部に接する表面部に選択的に形成された第 1 導電型の第 1 の半導体領域と、前記隣接する一方のトレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ上部、下部を層間絶縁膜により被覆して形成させたゲート電極、および他方のトレンチ凹部の底部に第 2 導電型の第 2 の半導体領域を選択的に形成させると共に、当該他方のトレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆させて、前記第 2 の半導体領域の端部に重なるように形成させた個々の各ゲート電極と、前記第 2 の半導体層、第 1 の半導体領域、および第 2 の半導体領域の相互間を短絡して形成させたソース電極と、前記第 1 の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とする絶縁ゲート型トランジスタ。

## 3

【請求項 7】 第 1 導電型の第 1 の半導体層、および当該第 1 の半導体層の表面上に形成された第 2 導電型の第 2 の半導体層と、前記第 2 の半導体層の表面上から、前記第 1 の半導体層に達して選択的に掘り込まれた複数の各トレンチ凹部と、前記第 2 の半導体層の各トレンチ凹部に接する表面部に選択的に形成された第 1 導電型の第 1 の半導体領域と、前記隣接する一方のトレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ上部、下部を層間絶縁膜により被覆して形成させたゲート電極、および他方のトレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆して形成させた個々の各ゲート電極と、前記他方のトレンチ凹部の各ゲート電極を被覆する層間絶縁膜間でのトレンチ凹部の底部に設けたショットキーダイオードと、前記第 2 の半導体層、第 1 の半導体領域、およびショットキーダイオードの相互間を短絡して形成させたソース電極と、前記第 1 の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とする絶縁ゲート型トランジスタ。

【請求項 8】 第 1 導電型の第 1 の半導体層、および当該第 1 の半導体層の表面上に形成された第 2 導電型の第 2 の半導体層と、前記第 2 の半導体層の表面上から、前記第 1 の半導体層内に達するまで選択的に掘り込んだ複数の各トレンチ凹部と、前記各トレンチ凹部間での第 2 の半導体層上に形成させた第 1 導電型の第 3 の半導体領域と、前記隣接する一方のトレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ上部、下部を層間絶縁膜により被覆して形成させたゲート電極、および他方のトレンチ凹部の底部に第 2 導電型の第 2 の半導体領域を選択的に形成させると共に、当該他方のトレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆して第 2 の半導体領域の端部に重なるように形成させた個々の各ゲート電極と、前記第 3 の半導体領域、および第 2 の半導体領域の相互間を短絡して形成させたソース電極と、前記第 1 の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とする絶縁ゲート型トランジスタ。

【請求項 9】 第 1 導電型の第 1 の半導体層、および当該第 1 の半導体層の表面上に形成された第 2 導電型の第 2 の半導体層と、前記第 2 の半導体層の表面上から、前記第 1 の半導体層内に達するまで選択的に掘り込んだ複数の各トレンチ凹部と、前記各トレンチ凹部間での第 2 の半導体層上に形成させた第 1 導電型の第 3 の半導体領域と、前記隣接する一方のトレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ上部、下部を層間絶縁膜により被覆して形成させたゲート電極、および他方のトレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間

## 4

絶縁膜により被覆して形成させた個々の各ゲート電極と、前記他方のトレンチ凹部の各ゲート電極を被覆する層間絶縁膜間でのトレンチ凹部の底部に設けたショットキーダイオードと、前記第 3 の半導体領域、およびショットキーダイオードの相互間を短絡して形成させたソース電極と、前記第 1 の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とする絶縁ゲート型トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、絶縁ゲート型トランジスタに関し、さらに詳しくは、トレンチ絶縁効果型トランジスタにおける特性向上のための改良構造に係るものである。

【0002】

【従来の技術】 一般に、絶縁ゲート型トランジスタのうち、シリコン層の表面に形成された凹部（いわゆる、トレンチ凹部）の内側壁面に対して、ゲート電極を設けた構成のものを、通常、UMOS と称しており、この UMOS は、多数のユニットセルが並列された構造を有している。

【0003】 図 11 には、従来の一例によるこの種の UMOS 構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示してある。この従来例は、3 個のユニットセルを並列配置させた場合である。

【0004】 すなわち、図 11 に示す装置構成において、従来例による UMOS 構造の絶縁ゲート型トランジスタは、第 1 の半導体層としての n 型ドレイン層 1 と、当該 n 型ドレイン層 1 の主面上に形成された第 2 の半導体層としての p 型ドレイン層 2 と、第 2 の半導体層としての p 型ドレイン層 2 の表面上に p 型の不純物を拡散して形成された p 型ベース層 3 とを有しており、かつ当該 p 型ベース層 3 の表面上からは、所定のパターンに従い選択的にシリコンをエッチングして、n 型ドレイン層 2 に達するトレンチ凹部（以下、トレンチと呼ぶ）4 を掘り込んである。

【0005】 そして、前記 p 型ベース層 3 のトレンチ 4 に接する表面部には、n 型ソース層 5 を選択的に形成させると共に、当該トレンチ 4 の内側壁面間にあつて、底部 4a の位置までゲート絶縁膜 6 を介してゲート電極 7 を設けることにより、トレンチ 4 の各側壁面側での p 型ベース層 3 の表面がチャネル領域 8 となる。

【0006】 また、各ユニットセル間に共通して、前記 p 型ベース層 3 の表面と n 型ソース層 5 の表面とを短絡するようにソース電極 9 を形成させ、かつ当該ソース電極 9 と前記ゲート電極 7 間を層間絶縁膜 10 によって絶縁させてあり、さらに、前記 n 型ドレイン層 1 の裏面にドレイン電極 11 を設けてある。なお、こゝでは図示省略したが、この UMOS 構造の場合、通常、前記トレンチ 4 がストライプ状に形成されており、これらの各トレ

5

ンチ 4 内でのゲート電極 7 の相互は、ストライプの端部で短絡されている。

【0007】続いて、上記従来例装置の動作について述べる。

【0008】上記構成において、ドレイン電極 11 とソース電極 9 間に所定のドレイン電圧  $V_{DS}$  を印加し、かつゲート電極 7 とソース電極 9 間にゲート電圧  $V_{GS}$  を印加すると、チャネル領域 8 が n 型に反転してチャネルを形成し、このチャネルを通してドレイン電極 11 とソース電極 9 との間にドレイン電流  $I_D$  が流れ、このドレイン電流  $I_D$  はゲート電圧  $V_{GS}$  によって制御される。

【0009】また、この UMOS に印加できるドレイン電圧  $V_{DS}$  (逆電圧) は、p 型ベース層 3 と n 型ドレイン層 2 の降伏電圧によって制限される。そして、一般に逆電圧は、n 型ドレイン層 2 の不純物濃度、厚さと、p 型ベース層 3 の形状とによって決定される。

【0010】次に、図 12 には、この UMOS にドレイン電圧  $V_{DS}$  を印加したときの空乏層の伸びを示してある。

【0011】前記したように、ドレイン電極 11 とソース電極 9 間にドレイン電圧  $V_{DS}$  を印加すると、p 型ベース層 3 から空乏層が伸び始め、やがて、各 p 型ベース層 3 から伸びる空乏層がつながる。このとき、空乏層は、トレンチ 4 のコーナー部 4b において不連続になり易く、当該コーナー部 4b に電界集中を生ずる。そして、一般に pn 接合における降伏電圧は、当該 pn 接合表面の電界強度によって決まるため、このように電界集中を生ずることにより、pn 接合の降伏電圧が低下する。

【0012】一方、前記図 11 に示す構成では、n 型ソース層 5、p 型ベース層 3、および n 型ドレイン層 2 によって形成される寄生トランジスタが存在する。ここで、一般に UMOS の等価回路は、図 13 (a) のように表わされるが、実質的には、図 13 (b) のようになる。同図において、 $R_a$  は p 型ベース層 3 の縦方向の抵抗である。そして、UMOS が降伏した場合、そのときの降伏電流  $J_c$  は、寄生トランジスタのベース電流となり、この降伏電流  $J_c$  が、当該寄生トランジスタをオンさせるベース電流 ( $i_R = 0.6$  を越える値) 以上になると、この寄生トランジスタを制御できなくなるために、素子破壊をきたすことになる。

【0013】さらに、p 型ベース層 3、および n 型ドレイン層 2 によって形成されるダイオードが順方向に通電されていて、急激に逆方向電圧を加える (モータ制御などにおいてよく発生する) と、当該ダイオードにリカバリ電流が流れ、これが寄生トランジスタのベース電流となって、同様に素子破壊をきたすことになる。

【0014】

【発明が解決しようとする課題】上記のように、従来のトレンチ構造による UMOS では、トレンチのコーナー部に電界集中が発生するために、このようなトレンチ構

6

造をもたない UMOS に比較するとき、低い電圧で p 型ベース層 3、および n 型ドレイン層 2 が降伏したり、寄生トランジスタのベース電流を制御できずに、素子破壊を生ずるという問題点があった。

【0015】この発明は、このような従来の問題点を解消するためになされたもので、その目的とするところは、UMOS において、トレンチ構造の改良により、降伏電圧に対する耐圧の低下を防止すると共に、寄生トランジスタによる素子破壊を生じ難くした、この種の絶縁ゲート型トランジスタを提供することである。

【0016】

【課題を解決するための手段】前記目的を達成するために、次のように構成したものである。

【0017】この発明の第 1 の発明に係る絶縁ゲート型トランジスタは、第 1 導電型の第 1 の半導体層、および当該第 1 の半導体層の表面上に形成させた第 2 導電型の第 2 の半導体層と、前記第 2 の半導体層の表面上から、前記第 1 の半導体層内に達するまで選択的に掘り込んだ複数の各トレンチ凹部と、前記第 2 の半導体層の各トレンチ凹部に接する表面部に選択的に形成させた第 1 導電型の第 1 の半導体領域と、前記各トレンチ凹部の底部に選択的に形成させた第 2 導電型の第 2 の半導体領域と、前記各トレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆させて、前記第 2 の半導体領域の端部に重なるように形成させた個々の各ゲート電極と、前記第 2 の半導体層、第 1 の半導体領域、および第 2 の半導体領域の相互間を短絡して形成させたソース電極と、前記第 1 の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とするものである。

【0018】この発明の第 2 の発明に係る絶縁ゲート型トランジスタは、第 1 導電型の第 1 の半導体層、および当該第 1 の半導体層の表面上に形成させた第 2 導電型の第 2 の半導体層と、前記第 2 の半導体層の表面上から、前記第 1 の半導体層内に達するまで選択的に掘り込んだ複数の各トレンチ凹部と、前記第 2 の半導体層の各トレンチ凹部に接する表面部に選択的に形成させた第 1 導電型の第 1 の半導体領域と、前記各トレンチ凹部の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆して形成させた個々の各ゲート電極と、前記各ゲート電極を被覆する層間絶縁膜間でのトレンチ凹部の底部に設けたショットキーダイオードと、前記第 2 の半導体層、第 1 の半導体領域、およびショットキーダイオードの相互間を短絡して形成させたソース電極と、前記第 1 の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とするものである。

【0019】この発明の第 3 の発明に係る絶縁ゲート型トランジスタは、第 1 導電型の第 1 の半導体層、および当該第 1 の半導体層の表面上に形成させた第 2 導電型の

## 7

第2の半導体層と、前記第2の半導体層の表面上から、前記第1の半導体層内に達するまで選択的に掘り込んだ複数の各トレンチ凹部と、前記各トレンチ凹部間での第2の半導体層上に形成させた第1導電型の第3の半導体領域と、前記各トレンチ凹部内の底部に選択的に形成させた第2導電型の第2の半導体領域と、前記各トレンチ凹部内の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆させて、前記第2の半導体領域の端部に重なるように形成させた個々の各ゲート電極と、前記第3の半導体領域、および第2の半導体領域の相互間を短絡して形成させたソース電極と、前記第1の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とするものである。

【0020】この発明の第4の発明に係る絶縁ゲート型トランジスタは、第1導電型の第1の半導体層、および当該第1の半導体層の表面上に形成させた第2導電型の第2の半導体層と、前記第2の半導体層の表面上から、前記第1の半導体層内に達するまで選択的に掘り込んだ複数の各トレンチ凹部と、前記各トレンチ凹部間での第2の半導体層上に形成させた第1導電型の第3の半導体領域と、前記各トレンチ凹部内の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆して形成させた個々の各ゲート電極と、前記各ゲート電極を被覆する層間絶縁膜間でのトレンチ凹部内の底部に設けたショットキーダイオードと、前記第3の半導体領域、およびショットキーダイオードの相互間を短絡して形成させたソース電極と、前記第1の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とするものである。

【0021】この発明の第5の発明に係る絶縁ゲート型トランジスタは、第1導電型の第1の半導体層、および当該第1の半導体層の表面上に形成された第2導電型の第2の半導体層と、前記第2の半導体層の表面上から、前記第1の半導体層内に達するまで選択的に掘り込むと共に、掘り込んだ底部に選択的に第2の半導体領域を形成させた複数の各トレンチ凹部と、前記第2の半導体層の各トレンチ凹部に接する表面部に選択的に形成された第1導電型の第1の半導体領域と、前記各トレンチ凹部内の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ上部、下部を層間絶縁膜により被覆して形成させたゲート電極と、前記第2の半導体層、および第1の半導体領域の相互間を短絡して形成させたソース電極と、前記第1の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とするものである。

【0022】この発明の第6の発明に係る絶縁ゲート型トランジスタは、第1導電型の第1の半導体層、および当該第1の半導体層の表面上に形成された第2導電型の第2の半導体層と、前記第2の半導体層の表面上から、

## 8

前記第1の半導体層に達して選択的に掘り込まれた複数の各トレンチ凹部と、前記第2の半導体層の各トレンチ凹部に接する表面部に選択的に形成された第1導電型の第1の半導体領域と、前記隣接する一方のトレンチ凹部内の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ上部、下部を層間絶縁膜により被覆して形成させたゲート電極、および他方のトレンチ凹部内の底部に第2導電型の第2の半導体領域を選択的に形成させると共に、当該他方のトレンチ凹部内の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆させて、前記第2の半導体領域の端部に重なるように形成させた個々の各ゲート電極と、前記第2の半導体層、第1の半導体領域、および第2の半導体領域の相互間を短絡して形成させたソース電極と、前記第1の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とするものである。

【0023】この発明の第7の発明に係る絶縁ゲート型トランジスタは、第1導電型の第1の半導体層、および当該第1の半導体層の表面上に形成された第2導電型の第2の半導体層と、前記第2の半導体層の表面上から、前記第1の半導体層に達して選択的に掘り込まれた複数の各トレンチ凹部と、前記第2の半導体層の各トレンチ凹部に接する表面部に選択的に形成された第1導電型の第1の半導体領域と、前記隣接する一方のトレンチ凹部内の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ上部、下部を層間絶縁膜により被覆して形成させたゲート電極、および他方のトレンチ凹部内の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆して形成させた個々の各ゲート電極と、前記他方のトレンチ凹部内の各ゲート電極を被覆する層間絶縁膜間でのトレンチ凹部内の底部に設けたショットキーダイオードと、前記第2の半導体層、第1の半導体領域、およびショットキーダイオードの相互間を短絡して形成させたソース電極と、前記第1の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とするものである。

【0024】この発明の第8の発明に係る絶縁ゲート型トランジスタは、第1導電型の第1の半導体層、および当該第1の半導体層の表面上に形成された第2導電型の第2の半導体層と、前記第2の半導体層の表面上から、前記第1の半導体層内に達するまで選択的に掘り込んだ複数の各トレンチ凹部と、前記各トレンチ凹部間での第2の半導体層上に形成させた第1導電型の第3の半導体領域と、前記隣接する一方のトレンチ凹部内の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ上部、下部を層間絶縁膜により被覆して形成させたゲート電極、および他方のトレンチ凹部内の底部に第2導電型の第2の半導体領域を選択的に形成させると共に、当該他方のトレンチ凹部内の両内側壁面に対して、それ

9

ぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆して第2の半導体領域の端部に重なるように形成させた個々の各ゲート電極と、前記第3の半導体領域、および第2の半導体領域の相互間を短絡して形成させたソース電極と、前記第1の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とするものである。

【0025】この発明の第9の発明に係る絶縁ゲート型トランジスタは、第1導電型の第1の半導体層、および当該第1の半導体層の表面上に形成された第2導電型の第2の半導体層と、前記第2の半導体層の表面上から、前記第1の半導体層内に達するまで選択的に掘り込んだ複数の各トレンチ凹部と、前記各トレンチ凹部間での第2の半導体層上に形成させた第1導電型の第3の半導体領域と、前記隣接する一方のトレンチ凹部内の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ上部、下部を層間絶縁膜により被覆して形成させたゲート電極、および他方のトレンチ凹部内の両内側壁面に対して、それぞれにゲート絶縁膜を介して接し、かつ層間絶縁膜により被覆して形成させた個々の各ゲート電極と、前記他方のトレンチ凹部内の各ゲート電極を被覆する層間絶縁膜間でのトレンチ凹部内の底部に設けたショットキーダイオードと、前記第3の半導体領域、およびショットキーダイオードの相互間を短絡して形成させたソース電極と、前記第1の半導体層の裏面側対応に形成させたドレイン電極とを、少なくとも備えることを特徴とするものである。

【0026】

【作用】この発明の各発明における絶縁ゲート型トランジスタでは、コレクタ電流が、ドレイン電極からトレンチ凹部の底部に形成された第2導電型の第2の半導体領域、またはショットキーダイオードを通り、当該トレンチ凹部内のソース電極を経て表面部のソース電極に流れ、また一方で、ドレイン電極から第1導電型の第1の半導体層を通り、かつ第2導電型の第2の半導体層を経て表面部のソース電極に流れる。

【0027】

【実施例】以下、この発明に係る絶縁ゲート型トランジスタの各別の実施例につき、図1ないし図10を参照して詳細に説明する。なお、これらの図1ないし図10に示す各別の実施例構成において、上記図1ないし図13に示す従来例構成と同一符号は、同一または相当部分を表わしている。

【0028】まず、図1はこの発明の第1の発明の一実施例（説明の便宜上、以下、第1実施例と呼ぶ、他の発明の場合も同様である）を適用したUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図であり、また、図2は同上第1実施例構成の要部を破断して模式的に示す平面図である。

【0029】すなわち、これらの図1、図2に示す第1

10

実施例装置の構成において、このUMOS構造の絶縁ゲート型トランジスタは、上記の従来例構成の場合と同様に、 $n^+$ 型ドレイン層1と、当該 $n^+$ 型ドレイン層1の主面上に形成された第1の半導体層としての $n$ -型ドレイン層2と、当該 $n$ -型ドレイン層2の表面上に $p$ 型の不純物を拡散して形成された第2の半導体層としての $p$ 型ベース層3とを有しており、かつ前記 $p$ 型ベース層3の表面上からは、所定のパターン、ここでは、各ユニットセルを形成させるべくストライプ状のパターンに従い、選択的に該当面のシリコンをエッチングして、 $n$ -型ドレイン層2に達する複数条の各トレンチ4をそれぞれに掘り込むと共に、前記 $p$ 型ベース層3の各トレンチ4に接する表面部において、第1の半導体領域としての $n^+$ 型ソース層5をそれぞれ選択的に拡散形成させてある。

【0030】また、前記各トレンチ4の底部4aの中間部には、第2の半導体領域としての $p$ 型ベース領域12を拡散形成させた上で、当該各トレンチ4の左、右内側壁面に接して底部4aの位置まで、それぞれにゲート絶縁膜6を介してゲート電極14を形成させることにより、トレンチ4の各側壁面側での $p$ 型ベース層3の表面がそれぞれにチャネル領域8となる。

【0031】そして、各ユニットセル間に共通するようにして、前記トレンチ4における各ゲート電極14での表面の層間絶縁膜10間の内部を含んで、前記 $p$ 型ベース層3の表面と $n^+$ 型ソース層5の表面とを短絡するようにソース電極13、13aを形成させてあり、これによって、これらの $p$ 型ベース層3、 $n^+$ 型ソース層5、および $p$ 型ベース領域12の相互が短絡される。ここで、ソース電極13は、 $p$ 型ベース層3と $n^+$ 型ソース層5との表面間の電極部分を、ソース電極13aは、トレンチ4内に対応して $p$ 型ベース領域12の表面に接する電極部分をそれぞれに示している。

【0032】さらに、前記 $n^+$ 型ドレイン層1の裏面には、ドレイン電極11を設けてあり、かつ各ゲート電極14については、図2によって明らかのように、それぞれの端面が並列に共通電極15によって短絡されると共に、当該共通電極15に接続されるゲートパッド16を介して外部へ配線される。

【0033】続いて、上記第1実施例装置の動作について述べる。

【0034】上記構成において、ドレイン電極11とソース電極13間に所定のドレイン電圧 $V_{DS}$ を印加し、かつゲート電極14とソース電極13間にゲート電圧 $V_{GS}$ を印加すると、チャネル領域8が $n$ 型に反転してチャネルを形成し、このチャネルを通してドレイン電極11とソース電極13との間にドレイン電流 $I_D$ が流れ、このドレイン電流 $I_D$ はゲート電圧 $V_{GS}$ によって制御される。

【0035】ここで、この第1実施例による装置構成でのUMOSにおける逆電圧について考えてみる。まず、

11

前記ドレイン電圧 $V_{DS}$ を印加した場合の空乏層（電界強度分布）の状態を図3に示す。

【0036】この第1実施例による構成の場合、ドレイン電極11とソース電極13間にドレイン電圧 $V_{DS}$ が印加されると、空乏層は、p型ベース層3と、トレンチ4の底部でのp型ベース領域12との双方から延び始めるために、従来例での図12に示したトレンチ4のコーナ一部4bにおける電界集中が、当該p型ベース領域12からの空乏層の延びによって緩和されることになる。

【0037】従って、この第1実施例構成でのUMOSにおける逆電圧は、本来のp型ベース層3（p型ベース領域12）とn型ドレイン層2で決定される電圧に近づくことになり、これによって従来例構造ほどは耐圧低下を生ずることがない。

【0038】続いて、この第1実施例構成での等価回路を図4に示す。

【0039】この第1実施例構成においては、従来例の構成に対して、トレンチ4の底部4aでのp型ベース領域12によって形成されるダイオードが並列に加えられており、かつ図1からも明らかなように、p型ベース層3よりも、当該p型ベース領域12の方が場合、n型ドレイン層1に近くなっている。

【0040】そして、この場合、一般的には、降伏現象がp型ベース領域12で発生する筈であるが、このときの降伏電流 $J_c$ は、当該p型ベース領域12からソース電極13へ直接、流れるために、寄生トランジスタのベース電流とはなり得ず、従って、こゝでは、寄生トランジスタのオンによる素子破壊を防止できる。

【0041】また、この第1実施例構成でのダイオードのリカバリーについて考えると、このリカバリー電流は、前記図4に示す寄生トランジスタ（TR）と、トレンチ4の底部4aでのp型ベース領域12によるダイオード（DI）とに分割されることになり、これを従来例構成の場合に比較するとき、当該寄生トランジスタ（TR）に流れるリカバリー電流が少なくなるために、こゝでも、寄生トランジスタ（TR）のオンによる素子破壊を防止できる。

【0042】さらに、この第1実施例構成において、図1でのトレンチ4の底部4aとp型ベース領域12との関係寸法 $l$ と、トレンチ4の深さ $h$ との関係について述べると、次の通りである。

【0043】まず、前記深さ $h$ については、こゝでのUMOSの装置構成上、可能な限り小さい方が、耐圧を高くでき、かつオン抵抗が小さくなる。但し、少なくともゲート電極14の縦方向の幅以内でなければならない。なお、この場合、オン抵抗とは、このUMOSに電圧が印加されてオンし、ドレイン電極11からソース電極13にコレクタ電流が流れ始めるときのpn接合間の抵抗である。

【0044】また、前記寸法 $l$ については、可能な限り

12

小さい方が、耐圧を高くし得るが、逆にオン抵抗が増加する。この関係を図5に示す。つまり、当該図5において、例えば、 $l$ 方向の寸法が $l_1$ のとき、耐圧値は、 $V_1$ ボルト、オン抵抗値は、破線で結ばれる点の $R_1$ オームである。従って、この図5からも判るように、耐圧値、およびオン抵抗値の双方を満足させる最適値は、 $l$ 寸法が $l_2$ のとき、つまり、 $l_2 = l_1 / 2$ のときである。

【0045】次に、図6はこの発明の第2の発明を適用した第2実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【0046】この第2実施例装置は、前記第1実施例装置の構成において、トレンチ4の底部4aに形成されるp型ベース領域12に代え、ショットキーダイオード17を形成させたものであり、他の各部の構成は全く同一である。

【0047】この第2実施例構成でのUMOSにおける逆電圧は、この場合にあっても、空乏層が、ショットキーダイオード17からも延びるために、従来例でのトレンチ4のコーナ一部4bにおける電界集中が起り難くなる。但し、当該ショットキーダイオード17によって逆電圧が決定されることになるので、前記第1実施例構成の場合に比較して耐圧が低くなる。また、この場合にも、降伏現象が当該ショットキーダイオード17において起るので、降伏電流 $J_c$ による素子破壊を防止できる。さらに、ダイオードのリカバリー電流は、このショットキーダイオード17の場合、通常のpn接合ダイオードに比較して格段に少なく、このために、当該リカバリー電流による素子破壊は、第1実施例の場合よりも一層、起り難くなる。

【0048】次に、図7はこの発明の第3の発明を適用した第3実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【0049】前記第1実施例装置の場合、p型ベース層3の表面部に選択的にn型ソース層5が形成され、かつこれらのp型ベース層3、およびn型ソース層5の各表面部をソース電極13に短絡させているが、この第3実施例装置では、これに代えてp型ベース層18の表面部にn型ソース層19を形成させると共に、当該p型ベース層18については、n型ソース層19を介してソース電極13に短絡させるようにしたものであり、他の各部の構成は全く同一である。

【0050】こゝで、一般的には、このような構造にした方が、各トレンチ4間の間隔を狭めることが可能で、同一寸法内におけるトレンチ4の数を増加でき、かつ各チャンネル8を流れる電流が小さくなって、オン時の抵抗を低減し得るのであるが、一方、このような構造の場合は、チャンネル8の長さが短くなって、寄生トランジスタが簡単にオンしてうることから、前記図11の従来例構造では、p型ベース層3をソース電極13に短絡させる

13

必要がある。

【0051】しかし、図7の第3実施例構造のように、トレンチ4の底部4aにp型ベース領域12を形成させた構造では、先に述べた如く、寄生トランジスタによる素子破壊が極めて起り難いために、 $n^+$ 型ソース層19を介してp型ベース層18をソース電極13に短絡させることができる。なお、この第3実施例装置においては、第2実施例装置の場合と同様に、トレンチ4の底部4aに形成されるp型ベース領域12に代えて、ショットキーダイオード17を形成させてもよく、同様な作用、効果10が得られるもので、この発明の第4の発明を構成する。

【0052】次に、図8はこの発明の第5の発明を適用した第4実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【0053】この第4実施例装置は、前記図11の従来例装置の構成において、前記図1の第1実施例による構成、つまり、トレンチ4の底部4aにp型ベース領域23を形成させたものであり、他の各部の構成は全く同一である。こゝで、図8中、20は前記ゲート電極7に対応するゲート電極、21は前記層間絶縁膜10に対応する層間絶縁膜、22は前記ソース電極9に対応するソース電極である。20

【0054】そして、この第4実施例の構成でも、第1実施例構成の場合と同様に、トレンチ4のコーナー部4bでの電界集中を効果的に緩和できて、逆電圧の低下を少なくし得るのであるが、この場合には、寄生トランジスタによる素子破壊を防止する点において難がある。こゝでは、この発明の第6の発明を構成する。

【0055】次に、図9はこの発明の第6の発明を適用した第5実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。30

【0056】この第5実施例装置は、前記図11の従来例の構成の一部に、前記図1の第1実施例でのトレンチ4の底部4aにp型ベース領域12を形成させた構成を取り入れたものであり、他の各部の構成は全く同一である。こゝで、図9中、24は前記ソース電極9に対応するソース電極である。

【0057】そして、この第5実施例の構成では、耐圧の点に難があるが、第1実施例構成の場合と同様に、寄生トランジスタによる素子破壊の防止が可能である。また、この場合、底部4aにp型ベース領域12を形成したトレンチ4については、必ずしもゲート電極14を形成しなくともよい。なお、この第5実施例装置においても、第2実施例装置の場合と同様に、トレンチ4の底部4aに形成されるp型ベース領域12に代えて、ショットキーダイオード17を形成させてもよいことは勿論であり、こゝでは、この発明の第7の発明を構成する。

【0058】次に、図10はこの発明の第8の発明を適用した第6実施例によるUMOS構造をもつ絶縁ゲート50

14

型トランジスタの概要構成を模式的に示す断面図である。

【0059】この第6実施例装置は、前記図11の従来例の構成の一部に、前記図1の第1実施例でのトレンチ4の底部4aにp型ベース領域12を形成させた構成、および前記図7の第3実施例の構成をそれぞれに取り入れたものであり、他の各部の構成は全く同一である。

【0060】そして、この第6実施例の構成では、前記第5実施例構成の場合と同様に、耐圧の点に難があるが、寄生トランジスタによる素子破壊の防止が可能である。なお、この第6実施例装置においても、第2実施例装置の場合と同様に、トレンチ4の底部4aに形成されるp型ベース領域12に代えて、ショットキーダイオード17を形成させてもよいことは勿論であり、こゝでは、この発明の第9の発明を構成する。

【0061】こゝで、前記各実施例においては、この発明をトレンチ構造をもつMOSFETに適用する場合について述べたが、他のMOSゲートのトランジスタ（IGBT、MCTなど）にも同様に適用できるものであり、また、各実施例では、 $n$ チャネルのものについて述べたが、 $p$ チャネルのものにも同様に適用できて、それぞれに同等の作用、効果を奏し得るのである。

【0062】

【発明の効果】以上、各実施例によって詳述したように、この発明によれば、第1導電型の第1の半導体層、および当該第1の半導体層の表面上に形成させた第2導電型の第2の半導体層を用い、第2の半導体層の表面側から第1の半導体層内に達するまで複数の各トレンチ凹部を選択的に掘り込み、かつ第2の半導体層の各トレンチ凹部に接する表面部に第1導電型の第1の半導体領域を選択的に形成させると共に、各トレンチ凹部の底部に第2導電型の第2の半導体領域を選択的に形成させるか、あるいはショットキーダイオードを形成させ、また、各トレンチ凹部内の両内側壁面にゲート絶縁膜を介して個々の各ゲート電極を形成した上で、ソース電極により、これらの第2の半導体層、第1の半導体領域、および第2の半導体領域の相互間、あるいはこれらの第2の半導体層、第1の半導体領域、およびショットキーダイオードの相互間を短絡して構成させたので、コレクタ電流が、ドレイン電極からトレンチ凹部の底部に形成された第2導電型の第2の半導体領域、あるいはショットキーダイオードを通して、トレンチ凹部内のソース電極を経た後に表面部のソース電極に流れ、また一方では、ドレイン電極から第1導電型の第1の半導体層を通り、かつ第2導電型の第2の半導体層を経て表面部のソース電極に流れることになり、この結果、降伏電圧に対する素子の耐圧の低下、ならびに寄生トランジスタのオンによる素子の破壊などをそれぞれ良好かつ効果的に防止し得るという優れた特長がある。

【図面の簡単な説明】



15

【図1】この発明の第1の発明を適用した第1実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【図2】同上第1実施例構成の要部を破断して模式的に示す平面図である。

【図3】同上第1実施例装置にドレイン電圧を印加したときの空乏層（電界強度分布）の状態を模式的に示す断面説明図である。

【図4】同上第1実施例装置の等価回路図である。

【図5】同上第1実施例装置における耐圧とオン抵抗との関係を示すグラフである。

【図6】この発明の第2の発明を適用した第2実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【図7】この発明の第3（第4）の発明を適用した第3実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【図8】この発明の第5の発明を適用した第4実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【図9】この発明の第6（第7）の発明を適用した第5実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【図10】この発明の第8（第9）の発明を適用した第6実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

\*【図11】従来例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

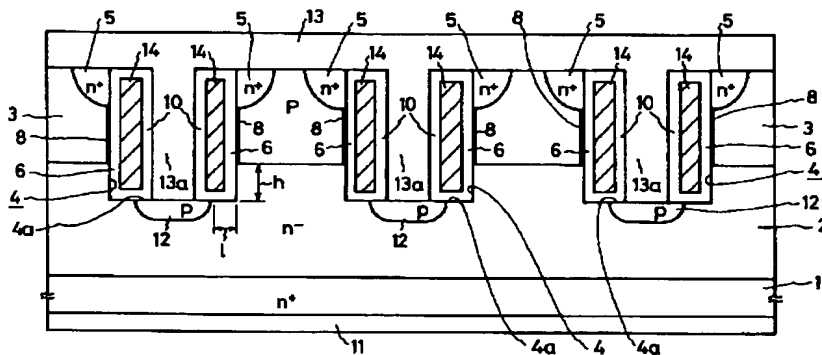
【図12】同上従来例装置にドレイン電圧を印加したときの空乏層（電界強度分布）の状態を模式的に示す断面説明図である。

【図13】同上従来例装置の等価回路図である。

【符号の説明】

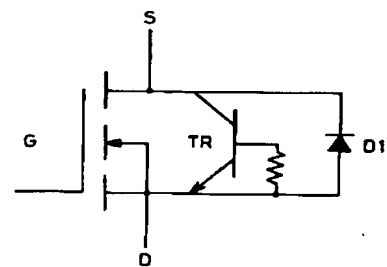
- 1 n<sup>+</sup>型ドレイン層
- 2 n<sup>-</sup>型ドレイン層（第1の半導体層）
- 3, 18 p型ベース層（第2の半導体層）
- 4 トレンチ（トレンチ凹部）
- 4a 底部
- 4b コーナー部
- 5 n<sup>+</sup>型ソース層（第1の半導体領域）
- 6 ゲート絶縁膜
- 7, 14, 20 ゲート電極
- 8 チャンネル領域
- 9, 13, 13a, 22, 24 ソース電極
- 10, 21 層間絶縁膜
- 11 ドレイン電極
- 12, 23 p型ベース領域（第2の半導体領域）
- 15 共通電極
- 16 ゲートパッド
- 17 ショットキーダイオード
- 19 n<sup>+</sup>型ソース領域（第3の半導体領域）

【図1】

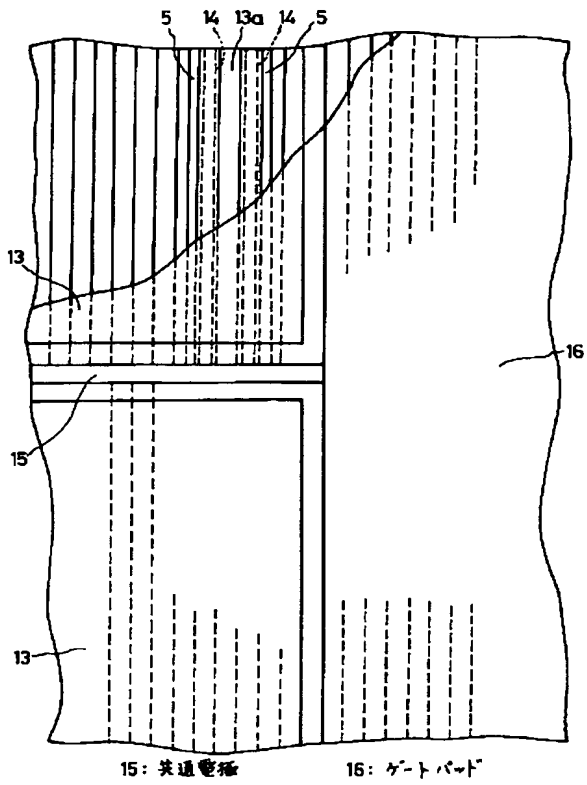


- 1: n<sup>+</sup>型ドレイン層
- 2: n<sup>-</sup>型ドレイン層（第1の半導体層）
- 3: p型ベース層（第2の半導体層）
- 4: トレンチ（トレンチ凹部）
- 4a: 底部
- 5: n<sup>+</sup>型ソース層（第1の半導体領域）
- 6: ゲート絶縁膜
- 8: チャンネル領域
- 10: 層間絶縁膜
- 11: ドレイン電極
- 12: p型ベース領域（第2の半導体領域）
- 13, 13a: ソース電極
- 14: ゲート電極

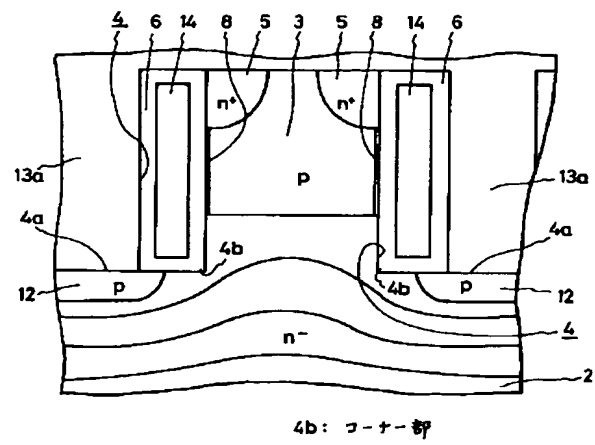
【図4】



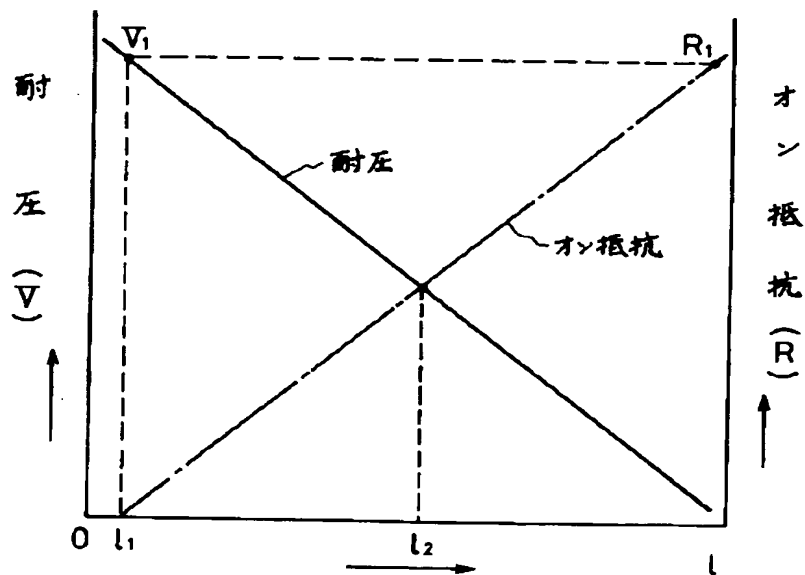
【図2】



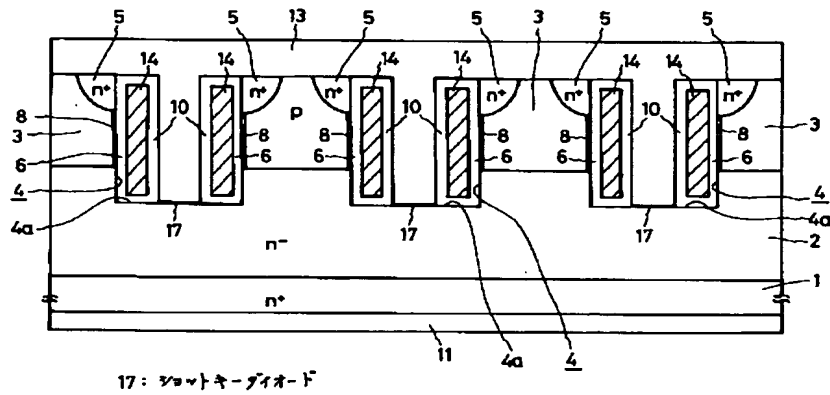
【図3】



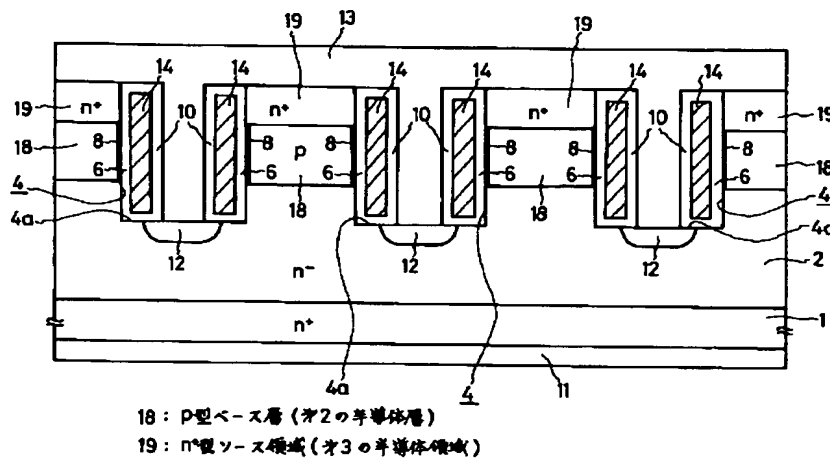
【図5】



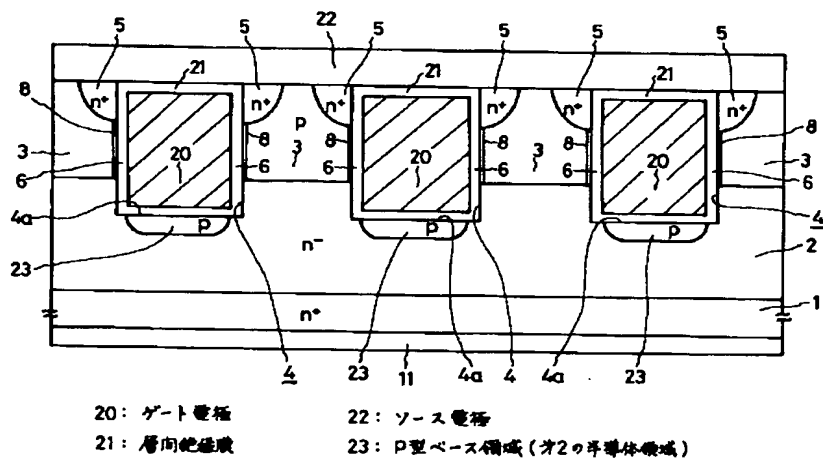
【図6】



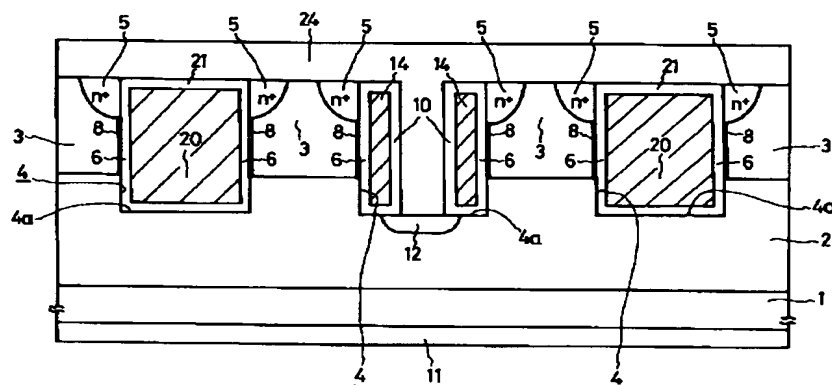
【図7】



【図8】

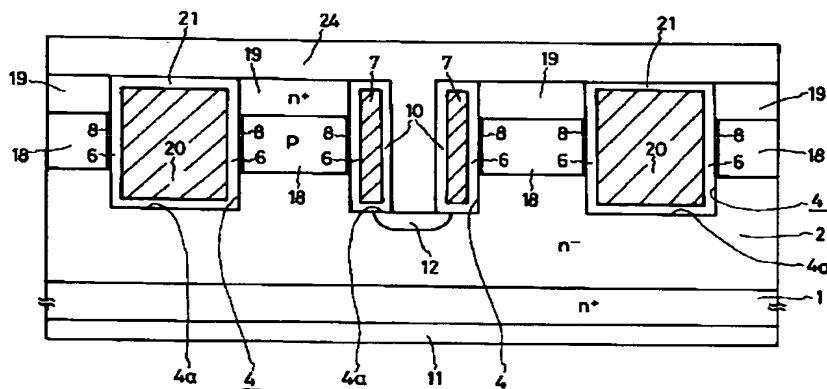


【図 9】

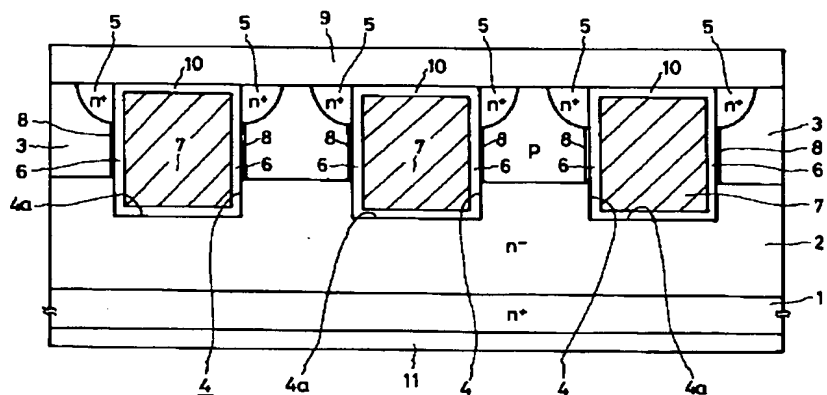


24: ソース電極

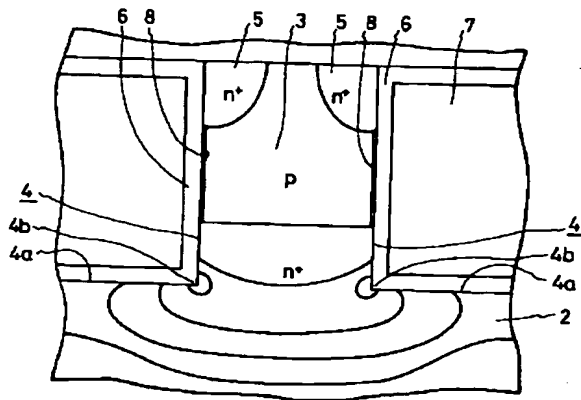
【図 10】



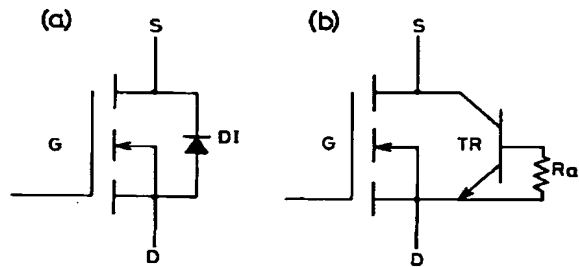
【図 11】



【図 12】



【図 13】



## 【手続補正書】

【提出日】平成 4 年 9 月 22 日

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】図 10 には、従来の一例によるこの種の U MOS 構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示してある。この従来例は、3 個のユニットセルを並列配置させた場合である。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】すなわち、図 10 に示す装置構成において、従来例による U MOS 構造の絶縁ゲート型トランジスタは、第 1 の半導体層としての n+ 型ドレイン層 1 と、当該 n+ 型ドレイン層 1 の主面上に形成された第 2 の半導体層としての n- 型ドレイン層 2 と、第 2 の半導体層としての n- 型ドレイン層 2 の表面上に p 型の不純物を拡散して形成された p 型ベース層 3 とを有しており、かつ当該 p 型ベース層 3 の表面上からは、所定のパターンに従い選択的にシリコンをエッチングして、n- 型ドレイン層 2 に達するトレンチ凹部（以下、トレンチと呼ぶ）4 を掘り込んである。

## 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】そして、前記 p 型ベース層 3 のトレンチ 4

に接する表面部には、n+ 型ソース層 5 を選択的に形成させると共に、当該トレンチ 4 の内側壁面間であって、底部 4a の位置までゲート絶縁膜 6 を介してゲート電極 7 を設けることにより、トレンチ 4 の各側壁面側での p 型ベース層 3 のトレンチ面がチャンネル領域 8 となる。

## 【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】次に、図 11 には、この U MOS にドレイン電圧  $V_{DS}$  を印加したときの空乏層の延びを示してある。

## 【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】一方、前記図 10 に示す構成では、n+ 型ソース層 5、p 型ベース層 3、および n- 型ドレイン層 2 によって形成される寄生トランジスタが存在する。ここで、一般に U MOS の等価回路は、図 12 (a) のように表わされるが、実質的には、図 12 (b) のようになる。同図において、 $R_a$  は p 型ベース層 3 の縦方向の抵抗である。そして、U MOS が降伏した場合、そのときの降伏電流  $J_c$  は、寄生トランジスタのベース電流となり、この降伏電流  $J_c$  が、当該寄生トランジスタをオンさせるベース電流以上になると、この寄生トランジスタを制御できなくなるために、素子破壊をきたすことになる。

## 【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【発明が解決しようとする課題】上記のように、従来のトレンチ構造によるUMOSでは、トレンチのコーナー部に電界集中が発生するために、このようなトレンチ構造をもたないパワーMOSと比較するとき、低い電圧でp型ベース層3、およびn-型ドレイン層2が降伏する。また、寄生トランジスタが存在するために、寄生トランジスタのベース電流を制御できずに、素子破壊を生ずるという問題点があった。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】

【作用】この発明の各発明における絶縁ゲート型トランジスタでは、トレンチ凹部の底部に第2導電型の第2の半導体領域、またはショットキーダイオードが形成され、ソース電極に接続されているので、トレンチコーナーでの電界集中が起こりにくく、また寄生トランジスタのベース電流が第2導電型の第2の半導体領域、またはショットキーダイオードを通して流れる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】

【実施例】以下、この発明に係る絶縁ゲート型トランジスタの各別の実施例につき、図1ないし図9を参照して詳細に説明する。なお、これらの図1ないし図9に示す各別の実施例構成において、上記図10ないし図12に示す従来例構成と同一符号は、同一または相当部分を表している。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】また、前記各トレンチ4の底部4aの中間部には、第2の半導体領域としてのp型ベース領域12を拡散形成させた上で、当該各トレンチ4の左、右内側壁面に接して底部4aの位置まで、それぞれにゲート絶縁膜6を介してゲート電極14を形成させることにより、トレンチ4の各側壁面側でのp型ベース層3のトレンチ面がそれぞれにチャネル領域8となる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】この第1実施例による構成の場合、ドレイン電極11とソース電極13間にドレイン電圧 $V_{DS}$ が印加されると、空乏層は、p型ベース層3と、トレンチ4の底部でのp型ベース領域12との双方から延び始めるために、従来例での図11に示したトレンチ4のコーナー部4bにおける電界集中が、当該p型ベース領域12からの空乏層の延びによって緩和されることになる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】まず、前記深さhについては、こゝでのUMOSの装置構成上、可能な限り小さい方が、耐圧を高くでき、かつオン抵抗が小さくなる。但し、少なくともゲート電極14の縦方向の幅以内でなければならない。なお、この場合、オン抵抗とは、このUMOSに電圧が印加されてオンし、ドレイン電極11からソース電極13にドレイン電流が流れるときの両電極間の抵抗である。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正内容】

【0044】また、前記寸法lについては、可能な限り小さい方が、耐圧を高くし得るが、逆にオン抵抗が増加する。従って、寸法lは耐圧とオン抵抗の関係を考慮して決定する必要がある。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】次に、図5はこの発明の第2の発明を適用した第2実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正内容】

【0048】次に、図6はこの発明の第3の発明を適用した第3実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】 0050

【補正方法】 変更

【補正内容】

【0050】 ここで、一般的には、このような構造にした方が、単一面積でのチャンネル領域 8 の割合が増えるので、オン時の抵抗を低減し得るのであるが、一方、このような構造の場合は、寄生トランジスタが簡単にオンして了うことから、前記図 10 の従来例構造では、p 型ベース層 3 をソース電極 13 に短絡させる必要がある。

【手続補正 16】

【補正対象書類名】 明細書

【補正対象項目名】 0051

【補正方法】 変更

【補正内容】

【0051】 しかし、図 6 の第 3 実施例構造のように、トレンチ 4 の底部 4a に p 型ベース領域 12 を形成させた構造では、先に述べた如く、寄生トランジスタによる素子破壊が極めて起り難いために、n<sup>+</sup>型ソース層 19 を介して p 型ベース層 18 をソース電極 13 に短絡させることができる。なお、この第 3 実施例装置においては、第 2 実施例装置の場合と同様に、トレンチ 4 の底部 4a に形成される p 型ベース領域 12 に代えて、ショットキーダイオード 17 を形成させてもよく、同様な作用、効果が得られるもので、この発明の第 4 発明を構成する。

【手続補正 17】

【補正対象書類名】 明細書

【補正対象項目名】 0052

【補正方法】 変更

【補正内容】

【0052】 次に、図 7 はこの発明の第 5 の発明を適用した第 4 実施例による UMOS 構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【手続補正 18】

【補正対象書類名】 明細書

【補正対象項目名】 0053

【補正方法】 変更

【補正内容】

【0053】 この第 4 実施例装置は、前記図 10 の従来例装置の構成において、前記図 1 の第 1 実施例による構成、つまり、トレンチ 4 の底部 4a に p 型ベース領域 23 を形成させたものであり、他の各部の構成は全く同一である。ここで、図 7 中、20 は前記ゲート電極 7 に対応するゲート電極、21 は前記層間絶縁膜 10 に対応する層間絶縁膜、22 は前記ソース電極 9 に対応するソース電極である。

【手続補正 19】

【補正対象書類名】 明細書

【補正対象項目名】 0055

【補正方法】 変更

【補正内容】

【0055】 次に、図 8 はこの発明の第 6 の発明を適用した第 5 実施例による UMOS 構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【手続補正 20】

【補正対象書類名】 明細書

【補正対象項目名】 0056

【補正方法】 変更

【補正内容】

【0056】 この第 5 実施例装置は、前記図 10 の従来例の構成の一部に、前記図 1 の第 1 実施例でのトレンチ 4 の底部 4a に p 型ベース領域 12 を形成させた構造を取り入れたものであり、他の各部の構成は全く同一である。ここで、図 8 中、24 は前記ソース電極 9 に対応するソース電極である。

【手続補正 21】

【補正対象書類名】 明細書

【補正対象項目名】 0058

【補正方法】 変更

【補正内容】

【0058】 次に、図 9 はこの発明の第 8 の発明を適用した第 6 実施例による UMOS 構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【手続補正 22】

【補正対象書類名】 明細書

【補正対象項目名】 0059

【補正方法】 変更

【補正内容】

【0059】 この第 6 実施例装置は、前記図 10 の従来例の構成の一部に、前記図 1 の第 1 実施例でのトレンチ 4 の底部 4a に p 型ベース領域 12 を形成させた構成、および前記図 6 の第 3 実施例の構成をそれぞれ取り入れたものであり、他の各部の構成は全く同一である。

【手続補正 23】

【補正対象書類名】 明細書

【補正対象項目名】 0062

【補正方法】 変更

【補正内容】

【0062】

【発明の効果】 以上、各実施例によって詳述したように、この発明によれば、第 1 導電型の第 1 の半導体層、および当該第 1 の半導体層の表面上に形成させた第 2 導電型の第 2 の半導体層を用い、第 2 の半導体層の表面側から第 1 の半導体層内に達するまで複数の各トレンチ凹部を選択的に掘り込み、かつ第 2 の半導体層の各トレンチ凹部に接する表面部に第 1 導電型の第 1 の半導体領域を選択的に形成させると共に、各トレンチ凹部内の底部に第 2 導電型の第 2 の半導体領域を選択的に形成させるか、あるいはショットキーダイオードを形成させ、また、各トレンチ凹部内の両内側壁面にゲート絶縁膜を介して個々の各ゲート電極を形成した上で、ソース電極に

より、これらの第2の半導体層、第1の半導体領域、および第2の半導体領域の相互間、あるいはこれらの第2の半導体層、第1の半導体領域、およびショットキーダイオードの相互間を短絡して構成させたので、トレンチコーナーでの電界集中が起こりにくく、また寄生トランジスタのベース電流が第2の半導体領域あるいはショットキーダイオードを通して流れることになり、この結果、降伏電圧に対する素子の耐圧の低下、ならびに寄生トランジスタのオンによる素子の破壊などをそれぞれ良好かつ効果的に防止し得るという優れた特長がある。

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】この発明の第1の発明を適用した第1実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【図2】同上第1実施例構成の要部を破断して模式的に示す平面図である。

【図3】同上第1実施例装置にドレイン電圧を印加したときの空乏層（電界強度分布）の状態を模式的に示す断面説明図である。

【図4】同上第1実施例装置の等価回路図である。

【図5】この発明の第2の発明を適用した第2実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【図6】この発明の第3（第4）の発明を適用した第3実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【図7】この発明の第5の発明を適用した第4実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【図8】この発明の第6（第7）の発明を適用した第5実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【図9】この発明の第8（第9）の発明を適用した第6実施例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【図10】従来例によるUMOS構造をもつ絶縁ゲート型トランジスタの概要構成を模式的に示す断面図である。

【図11】同上従来例装置にドレイン電圧を印加したときの空乏層（電界強度分布）の状態を模式的に示す断面説明図である。

【図12】同上従来例装置の等価回路図である。

【符号の説明】

- 1 n<sup>+</sup>型ドレイン層
- 2 n<sup>-</sup>型ドレイン層（第1の半導体層）

- 3, 18 p型ベース層（第2の半導体層）
- 4 トレンチ（トレンチ凹部）
- 4a 底部
- 4b コーナー部
- 5 n<sup>+</sup>型ソース層（第1の半導体領域）
- 6 ゲート絶縁膜
- 7, 14, 20 ゲート電極
- 8 チャネル領域
- 9, 13, 13a, 22, 24 ソース電極
- 10, 21 層間絶縁膜
- 11 ドレイン電極
- 12, 23 p型ベース領域（第2の半導体領域）
- 15 共通電極
- 16 ゲートパッド
- 17 ショットキーダイオード
- 19 n<sup>+</sup>型ソース領域（第3の半導体領域）

【手続補正25】

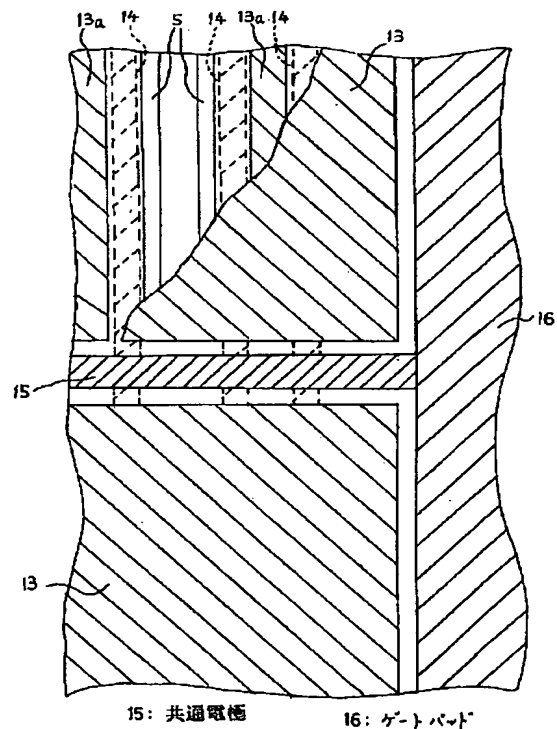
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



15: 共通電極

16: ゲートパッド

【手続補正26】

【補正対象書類名】図面

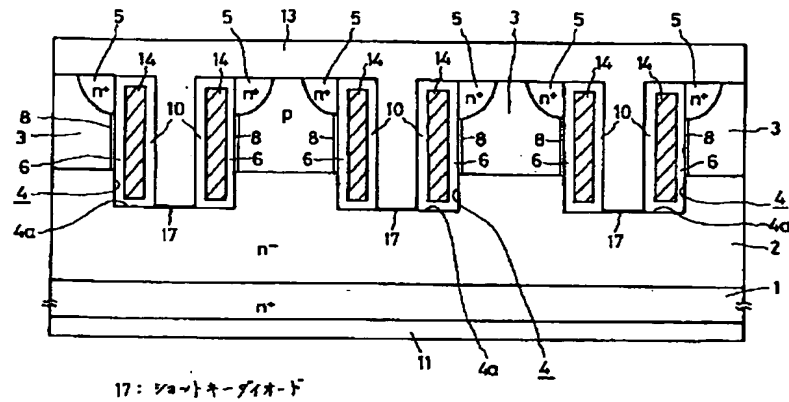
【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】





17:ショットキーダイオード

【手続補正 2 7】

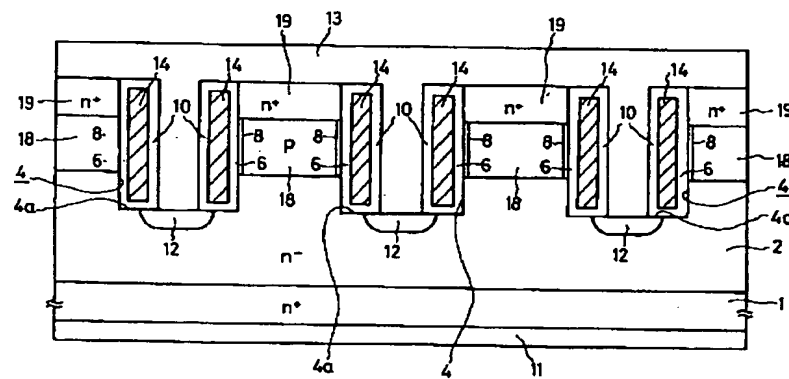
【補正対象書類名】図面

【補正対象項目名】図 6

【補正方法】変更

【補正内容】

【図 6】



18: p型ベース層 (第2の半導体層)

19: n+型ソース領域 (第3の半導体領域)

【手続補正 2 8】

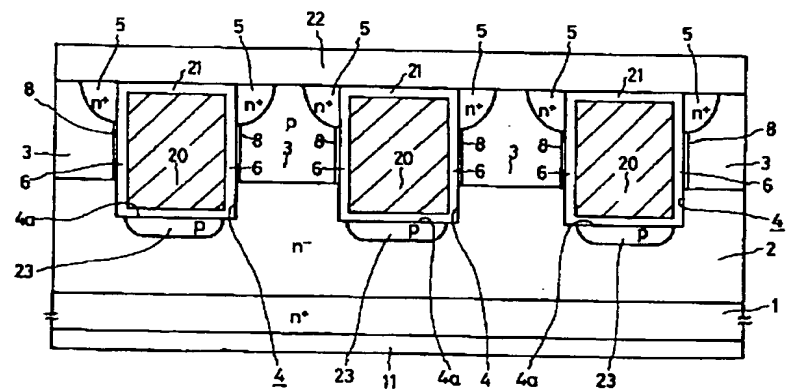
【補正対象書類名】図面

【補正対象項目名】図 7

【補正方法】変更

【補正内容】

【図 7】



20: ゲート電極

21: 層間絶縁膜

22: ソース電極

23: p型ベース領域 (第2の半導体領域)

【手続補正 2 9】

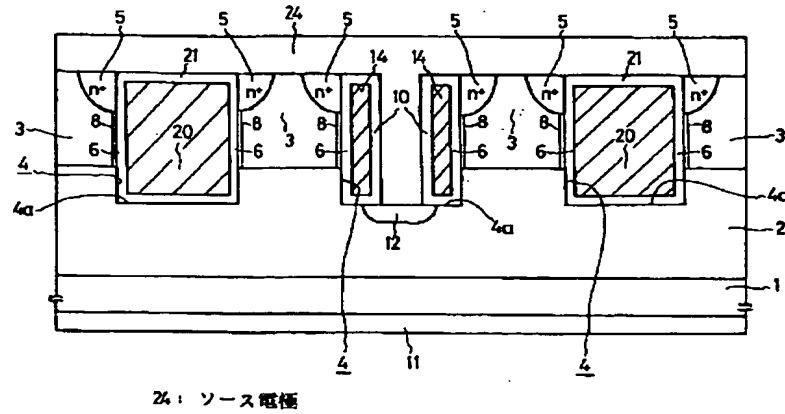
【補正対象書類名】図面

【補正対象項目名】図 8

【補正方法】変更

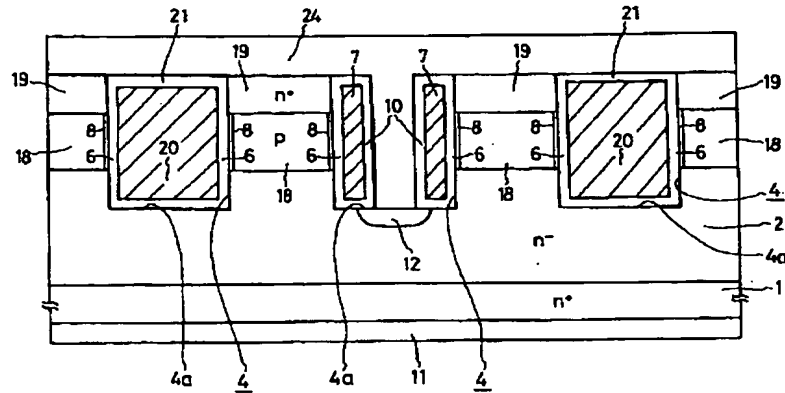
【補正内容】

【図 8】



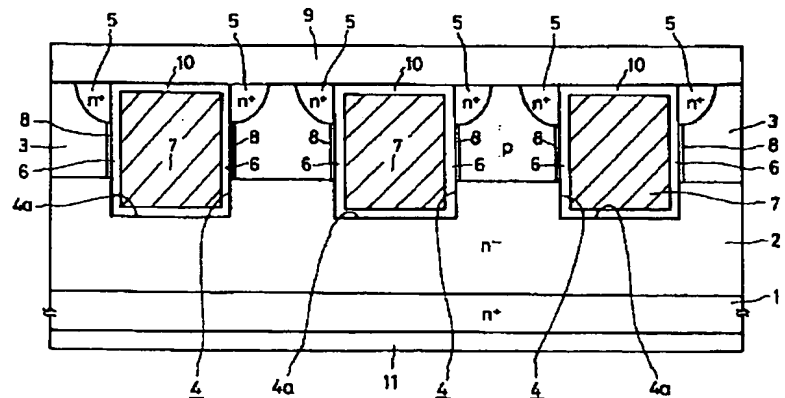
【手続補正 30】  
 【補正対象書類名】図面  
 【補正対象項目名】図 9

【補正方法】変更  
 【補正内容】  
 【図 9】



【手続補正 31】  
 【補正対象書類名】図面  
 【補正対象項目名】図 10

【補正方法】変更  
 【補正内容】  
 【図 10】

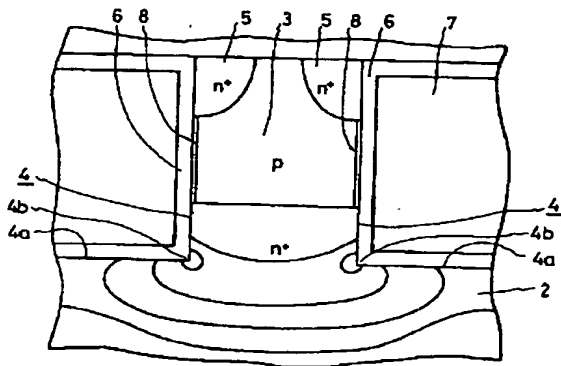


【手続補正 32】  
 【補正対象書類名】図面

【補正対象項目名】図 11  
 【補正方法】変更

【補正内容】

【図 1 1】



【手続補正 3 3】

【補正対象書類名】図面

【補正対象項目名】図 1 2

【補正方法】変更

【補正内容】

【図 1 2】

